

（深圳）

实验报告

开课学期： 2024春季

课程名称：计算机组成原理（实验）

实验名称： 高速缓存器设计

实验性质： 设计型

实验学时： 4 地点： T2506

学生班级： 5班

学生学号： 220110515

学生姓名： 金正达

作业成绩：

实验与创新实践教育中心制

2024年5月

|  |
| --- |
| 1、Cache详细设计 |
| 要求：绘制ICache的状态转换图，并详细描述状态转移关系、转移条件、各状态的输入输出信号以及需要完成的操作。*\*若完成了附加题，则分别绘制DCache的读、写状态转换图，并配以文字详细描述相应的内容。* |
| IDLE：icache 等待接收读指令请求；  TAG\_CHK：icache 进入命中检测，检测当前是否命中；  REFILL：icache 重填状态。  IDLE 转移到 TAG\_CHK：接收到读指令请求；  TAG\_CHK 转移到 IDLE：icache 命中；  TAG\_CHK 转移到 REFILL：icache 未命中；  REFILL 转移到 TAG\_CHK：外部读返回有效。  IDLE：进行信号初始化，输出inst\_valid、inst\_out、mem\_ren、mem\_raddr 均为 0；  TAG：检查 icache 是否命中，根据 offset 选择读取的 cache 行中对应值赋值给 inst\_out；  REFILL：判断当前 mem\_rrdy 是否为 1 和当前 mem\_rvalid 是否为 0，若是，则输出 mem\_ren 为 1，mem\_addr 为当前读指令地址。 |
| 2、调试报告 |
| 要求：结合仿真波形截图对ICache作详细的时序分析，要求包含读命中、读缺失2种情形，且每种情形列举2个测试用例。*\*若完成了附加题，则需额外给出DCache的仿真波形截图及其详细文字分析，要求包含写命中、写缺失和Uncached访问3种情形。* |
| （1）1450100 ns 时，cpu 发出取指请求，inst\_rreq 变为1，状态机处于 IDLE 状态，接收到了取指请求。  （2）1460084 ns 时，状态机转为 TAG\_CHK 状态，检测为命中，hit 变为 1。  （3）1470000 ns 时，状态机转为 IDLE 状态，inst\_valid 为 1，同时输出 inst\_out 为 02500413。    （1）79060100ns 时，cpu 发出取指请求，inst\_rreq 变为1，状态机处于 IDLE 状态，接收到了取指请求。  （2）79070000 ns 时，状态机转为 TAG\_CHK 状态，检测为命中，hit 变为 1。  （3）79080000 ns 时，状态机转为 IDLE 状态，inst\_valid 为 1，同时输出 inst\_out 为 f0008093。        （1）82680000 ns 时，cpu 发出取指请求，inst\_rreq 变为1，状态机处于 IDLE 状态，接收到了取指请求。  （2）82690000 ns 时，状态机跳转 TAG\_CHK 状态，检测命中，未命中，hit 为 0。  （3）82710000 ns 时，状态机跳转到 REFILL 状态，对外存发出读请求，mem\_ren 置为 f，mem\_raddr 置为 000005a0。  （4）83700100 ns 时，接受到外存的 mem\_rvalid 信号，获得外存返回值 mem\_rdata。（5）83710100 ns 时，状态机跳转至 TAG\_CHK 状态，检测到命中，hit 为1。  （6）83720000 ns 时，状态机跳转到 IDLE 状态，inst\_valid 为 1，同时输出 inst\_out 为 cc7718e3。      （1）79240000 ns 时，cpu 发出取指请求，inst\_rreq 变为1，状态机处于 IDLE 状态，接收到了取指请求。  （2）79250000 ns 时，状态机跳转 TAG\_CHK 状态，检测命中，未命中，hit 为 0。  （3）79270000 ns 时，状态机跳转到 REFILL 状态，对外存发出读请求，mem\_ren 置为 f，mem\_raddr 置为 00000580。  （4）80400100 ns 时，接受到外存的 mem\_rvalid 信号，获得外存返回值。  （5）80409900 ns时，状态机跳转至 TAG\_CHK 状态，检测到命中，hit 为1。  （6）80420000 ns 时，状态机跳转到 IDLE 状态，inst\_valid 为 1，同时输出 inst\_out 为 0020f733。 |
| 3、思考与讨论 |
| （1）分别给出无ICache时和有ICache时，SoC运行测试程序的总时间的截图，并谈谈你对该测试结果的理解。  有 ICache：总时间为 637460 ns；    无 ICache：总时间为 2397080 ns;    ICache 显著提高了处理器的运行速度。  （2）给出你的ICache命中率的截图，并尝试分析如何提高ICache命中率。    命中率为 79.004%.  提高 ICache 命中率，可以增加 ICache 的容量，采用组相联的策略，采用预取的方法，优化替换策略等。 |
| 4、总结与反思 |
| 要求：总结完成本课程实验获得的收获，并给出合理的意见和建议。 |
| 通过本次计组实验课的三个实验，我学会了编写 riscv 汇编程序，实现原码除法器和基本的指令Cache，加深了对cpu的部分组件的理解，熟悉了 verilog 语言的硬件开发流程，为接下的 cpu 流水线开发打下了基础。 |